

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2 0 0 3 年 1 月 3 0 日

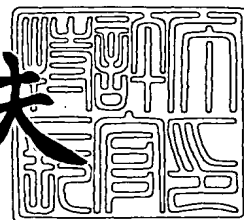
出 願 番 号  
Application Number: 特 願 2 0 0 3 - 0 2 1 9 5 2  
[ST. 10/C]: [ J P 2 0 0 3 - 0 2 1 9 5 2 ]

出 願 人  
Applicant(s): 株式会社デンソー

2 0 0 3 年 1 0 月 2 4 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 N020942

【提出日】 平成15年 1月30日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/04

【発明者】

    【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

    【氏名】 山本 智久

【特許出願人】

    【識別番号】 000004260

    【氏名又は名称】 株式会社デンソー

【代理人】

    【識別番号】 100071135

    【住所又は居所】 名古屋市中区栄四丁目 6 番 1 5 号 名古屋あおば生命ビル

    【弁理士】

    【氏名又は名称】 佐藤 強

    【電話番号】 052-251-2707

【選任した代理人】

    【識別番号】 100119769

    【弁理士】

    【氏名又は名称】 小川 清

【手数料の表示】

    【予納台帳番号】 008925

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

【包括委任状番号】 9200169

【包括委任状番号】 0217337

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 過熱検出装置および半導体集積回路装置

【特許請求の範囲】

【請求項 1】 互いに近接して配置された複数の通電素子それぞれの過熱状態を検出する過熱検出装置において、

前記各通電素子について当該通電素子の相異なる 2 以上の辺部に隣接してそれぞれ配置された温度検出素子と、

前記各通電素子について前記辺部に隣接して配置された温度検出素子のうち少なくとも 2 つの温度検出素子からの温度検出信号に基づいて過熱状態を検出する過熱検出回路とを備えて構成されていることを特徴とする過熱検出装置。

【請求項 2】 互いに隣接して配置された 2 つの通電素子の間には、これら通電素子の過熱状態の検出に共通に用いられる 1 つの温度検出素子が配置されていることを特徴とする請求項 1 記載の過熱検出装置。

【請求項 3】 前記共通に用いられる温度検出素子は、前記 2 つの通電素子から等距離の位置に配置されていることを特徴とする請求項 2 記載の過熱検出装置。

【請求項 4】 各通電素子の辺部に近接して、当該通電素子の過熱状態の検出に専用に用いられる温度検出素子が配置されていることを特徴とする請求項 1 記載の過熱検出装置。

【請求項 5】 前記過熱検出回路は、前記辺部に隣接して配置された複数の温度検出素子からの温度検出信号がしきい値を超えている場合に当該通電素子について過熱状態と判定することを特徴とする請求項 1 ないし 4 の何れかに記載の過熱検出装置。

【請求項 6】 前記過熱検出回路は、過熱状態の検出時と非検出時とで異なるしきい値を用いて判定することを特徴とする請求項 5 記載の過熱検出装置。

【請求項 7】 前記過熱検出回路により過熱状態が検出されている間、当該通電素子への通電を制限する過熱保護回路を備えていることを特徴とする請求項 1 ないし 6 の何れかに記載の過熱検出装置。

【請求項 8】 半導体基板上に、互いに近接して配置された複数の通電素子

と、請求項 1 ないし 7 の何れかに記載の過熱検出装置とが形成されていることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、互いに近接して配置された複数の通電素子それぞれの過熱状態を検出する過熱検出装置および半導体基板上に当該過熱検出装置を備えた半導体集積回路装置に関する。

【0002】

【従来の技術】

特許文献 1 には、複数の高耐圧ドライバ IC を実装したドライバ IC モジュールであって、各高耐圧ドライバ IC に、ドライバ IC チップの温度と基準温度との差により当該ドライバ IC チップの過熱を検出する過熱検出回路を備えたものが開示されている。そして、周囲温度の影響を受けずに正確に異常を検出できるように、過熱検出回路の基準温度がドライバ IC モジュールの温度に応じて変更されるようになっている。

【0003】

また、特許文献 2 には、製造上のばらつきによる検出精度の低下を防止するため、所定の検出精度を維持する過熱検出信号を生成するための基準電圧を生成するバンドギャップ回路であって、その中の温度依存性のある電位差を生成する回路素子を過熱検出用素子に兼用した過熱検出回路が開示されている。

【0004】

【特許文献 1】

特開 2001-244411 号公報

【0005】

【特許文献 2】

特開平 7-336875 号公報

【0006】

【発明が解決しようとする課題】

上記特許文献1に記載されたドライバICモジュールのように、実装された高耐圧ドライバICごとに過熱検出回路を設ける構成とした場合、負荷が短絡した高耐圧ドライバICの温度上昇に影響されて、それに隣接する高耐圧ドライバICの過熱検出回路が過熱を誤検出してしまう場合が生じる。これを、従来構成の半導体集積回路装置（IC）を例に説明する。

#### 【0007】

半導体チップの素子配置と検出回路の電氣的構成とを示す図6において、チップ上には3つのパワーMOSトランジスタM1、M2、M3が隣接して列状に並んでおり、各トランジスタM1、M2、M3の近傍には、それぞれ1つずつの温度検出用ダイオードD1、D2、D3が配置されている。この構成において、例えばトランジスタM2に繋がる負荷が短絡した場合、トランジスタM2の電流が増大し、素子温度が急激に上昇する。

#### 【0008】

図7は、このときのダイオードD1、D2、D3の順方向電圧V1、V2、V3および過熱検出信号Q1、Q2、Q3を示している。トランジスタM2に最も近く配置されたダイオードD2に最も早く熱が伝搬し、ダイオードD2の電圧V2が基準電圧よりも低下して過熱検出信号Q2がHレベル（過熱状態）になる。その後、MOSトランジスタM1とM2との間に配置されたトランジスタM1用のダイオードD1にも若干の時間遅れを持って熱が伝搬される。

#### 【0009】

この場合、ダイオードD1、D2、D3の順方向電圧V1、V2、V3にばらつきが存在したり、コンパレータC1、C2、C3のオフセット電圧にばらつきが存在すると、隣接するトランジスタM1の過熱検出信号Q1も誤ってHレベル（過熱状態）となってしまう。図7は、オフセット電圧のばらつきにより、コンパレータC1の実質的な基準電圧Vr1がコンパレータC2、C3の実質的な基準電圧Vr2よりも低い場合を示している。

#### 【0010】

これに対しては、図8に示すようにトランジスタM1、M2、M3相互の距離を大きくとり、各トランジスタM1、M2、M3について設けられたダイオード

D1、D2、D3 と他のトランジスタとの距離が大きくなるようにすれば良い。  
図9は、この配置を採用した場合のダイオードD1、D2、D3の順方向電圧V1、V2、V3および過熱検出信号Q1、Q2、Q3を示している。この場合には、トランジスタM2の過熱によるダイオードD1への熱の伝搬遅れ時間が大きくなるため、誤った過熱検出信号Q1が出力されることはなくなる。しかしながら、トランジスタM1、M2、M3を含む出力部のレイアウトサイズが大きくなるため、チップ面積が増大し、コストの上昇を招いてしまう。こうした問題は、半導体チップに限らず、ディスクリートの通電素子を互いに近接して複数配置する場合でも同様に生じる。

#### 【0011】

本発明は上記事情に鑑みてなされたもので、その目的は、複数の通電素子を互いに近接して配置した状態でも通電素子それぞれの過熱状態を正確に検出することができる過熱検出装置を提供すること、および当該過熱検出装置を用いた半導体集積回路装置を提供することにある。

#### 【0012】

##### 【課題を解決するための手段】

請求項1に記載した手段によれば、互いに近接して配置された各通電素子の周囲には、当該通電素子の相異なる2以上の辺部に隣接してそれぞれ温度検出素子が配置されている。この配置によれば、ある通電素子(A)が過熱した場合、その熱は自らの辺部に隣接して配置された全ての温度検出素子に直ちに伝搬される。これに対し、通電素子(A)に隣接する通電素子(B、C、…)が過熱した場合には、その熱は、当該通電素子(A)の辺部と通電素子(B、C、…)の辺部の何れにも隣接して配置された温度検出素子へは直ちに伝搬されるが、当該通電素子(A)の他の辺部に隣接した温度検出素子への伝搬は距離が長いために遅れる。

#### 【0013】

そこで、過熱検出回路は、各通電素子の辺部に隣接して配置された温度検出素子のうち少なくとも2つの温度検出素子からの温度検出信号がともに過熱状態を示せば当該通電素子(A)が過熱していると判定し、何れかの温度検出素子から

の温度検出信号のみが過熱を示せば当該通電素子（A）は過熱していない（隣接する通電素子（B、C、…）が過熱している）と判定する。

#### 【0014】

隣接する通電素子（B、C、…）が過熱している場合でも、そのままの状態でも十分な時間が経過すれば、当該通電素子（A）の辺部に隣接して配置された2以上の温度検出素子が過熱を示すことはあろうが、通常は過熱状態を検出した時点で当該通電素子（A）への通電が制限されるため、実際には過熱検出に用いる少なくとも2つの温度検出素子が全て過熱状態を示すことはない。従って、本手段を用いることにより、複数の通電素子が互いに近接して配置されていても、通電素子それぞれの過熱状態を正確に検出することができる。

#### 【0015】

請求項2に記載した手段によれば、互いに隣接して配置された2つの通電素子の間に配置された1つの温度検出素子が、これら2つの通電素子の過熱状態の検出に共通に用いられるので、温度検出素子の数を減らすことができる。

#### 【0016】

請求項3に記載した手段によれば、上記共用される温度検出素子が2つの通電素子から等距離の位置に配置されているので、何れの通電素子が発する熱も極力小さい遅延時間の下でバランス良く検出することができる。

#### 【0017】

請求項4に記載した手段によれば、各通電素子に対して専用の温度検出素子が配置されているので、通電素子と温度検出素子との距離を極力小さくして過熱から検出までの遅延時間をより短縮できる。これにより、通電素子をより確実に保護することができる。

#### 【0018】

請求項5に記載した手段によれば、過熱検出回路は、通電素子の辺部に隣接して配置された複数の温度検出素子からの温度検出信号としきい値とを比較する比較手段を備え、複数の温度検出信号がしきい値を超えている場合に過熱状態と判定する。

#### 【0019】



請求項 6 に記載した手段によれば、比較動作にヒステリシスが付加されるので、ノイズ等による誤った過熱検出を極力低減することができる。また、本過熱検出装置を用いた過熱保護回路（請求項 7）において、過熱検出時に通電素子の通断電が頻繁に切り替えられることを防止できる。

#### 【0020】

請求項 7 に記載した手段によれば、過熱検出回路により過熱状態が検出されている間、その過熱している通電素子の通電を選択的に制限することができるので、近接配置された複数の通電素子に対し高精度の過熱保護を実現できる。

#### 【0021】

請求項 8 に記載した手段によれば、半導体集積回路装置内に複数の通電素子が近接して配置されていても、各通電素子の過熱状態を正確に検出することができる。この場合、従来構成とは異なり通電素子相互間の距離を小さくできるため、複数の通電素子からなる出力部のレイアウトサイズを小さくでき、以てチップ面積の縮小化が図られる。

#### 【0022】

##### 【発明の実施の形態】

##### （第 1 の実施形態）

以下、本発明に係る半導体集積回路装置（IC）の第 1 の実施形態について図 1 ないし図 3 を参照しながら説明する。

図 2（a）は、本実施形態における半導体チップの素子配置であり、図 2（b）は、これと対比するために示す従来構成（図 8 参照）の素子配置である。本 IC は、例えば車両のボディ用 ECU (Electronic Control Unit) に収容された制御基板上に実装されるもので、ヘッドライト、ドアロック用ソレノイド、パワーウィンドウ用モータなどの通断電を行うリレーのコイルを駆動するために用いられる。図 1 は、図 2（a）の一部を拡大して示すとともに、出力制御回路の概略的な電氣的構成を示している。

#### 【0023】

これら図 2（a）および図 1 に示すように、半導体基板 1 には同じサイズのパワー MOS トランジスタ M1、M2、M3、…、M10 および M11、M12、

M13、…、M20がそれぞれ隣接して列状に形成されている。各トランジスタM1、M2、M3、…にはそれぞれワイヤボンダ用のパッド(PS1、PD1)、(PS2、PD2)、(PS3、PD3)、…が設けられており、さらにダイオード(D1a、D1b)、(D2a、D2b)、(D3a、D3b)、…と出力制御回路U1、U2、U3、…とが設けられている(ダイオードの符号は図1にのみ示す)。本実施形態ではドライバICを例に説明するが、半導体基板1にその他の制御回路が混載されたICであっても良い。

#### 【0024】

ダイオードD1a、D1b、…は、順方向電圧の温度特性( $-2\text{ mV}/^{\circ}\text{C}$ )を利用した温度検出素子であり、トランジスタ列の両端部に配置されるものを除き隣接するトランジスタの間に挟まれるように配置されている。また、出力制御回路U1、U2、U3、…は、トランジスタM1、M2、M3、…に隣接して列状に形成されている。

#### 【0025】

図1において、トランジスタM2の過熱検出に用いられるダイオードD2a、D2bは、それぞれトランジスタM2の辺のうちトランジスタM1に対する辺とトランジスタM3に対する辺に近接して配置されている。トランジスタM1、M3についても同様である。トランジスタM2とダイオードD2a、D2bとの距離をL1、ダイオードD1b、D3aとの距離をL2、ダイオードD1a、D3bとの距離をL3とした場合、図1からも明らかなように $L1 < L2 < L3$ の関係がある。なお、熱の伝搬遅延時間を小さくするためには、L1が極力小さくなるように配置することが好ましい。

#### 【0026】

出力制御回路U1、U2、U3は、それぞれ過熱状態を検出する過熱検出回路H1、H2、H3と、トランジスタM1、M2、M3を駆動するドライブ回路K1、K2、K3とから構成されている。例えば過熱検出回路H1は、ダイオードD1a、D1bの順方向電圧V1a、V1bと基準電圧Vrとを比較するコンパレータC1a、C1bと、コンパレータC1a、C1bの各出力信号S1a、S1bの論理積信号である過熱検出信号Q1を出力するANDゲートG1とから構

成されている。過熱検出回路 H 2、H 3 等も同様である。これら出力制御回路 U 1、U 2、U 3、…と上記ダイオード (D 1 a、D 1 b)、(D 2 a、D 2 b)、(D 3 a、D 3 b)、…とにより過熱検出回路 3 (過熱検出装置に相当) が構成されている。

#### 【0027】

また、ドライブ回路 K 1 (過熱保護回路に相当) は、過熱検出回路 H 1 から出力される過熱検出信号 Q 1 が L レベル (非過熱状態) の場合にあってはトランジスタ M 1 に対し駆動指令信号 P 1 に従ったゲート駆動信号を出力し、過熱検出信号 Q 1 が H レベル (過熱状態) の場合にあっては、トランジスタ M 1 をオフするゲート駆動信号を出力するようになっている。出力制御回路 U 2、U 3 等も同様に構成されている。なお、出力制御回路 U 1 には、基準電圧発生回路 2 が形成されている。

#### 【0028】

次に、本実施形態の作用について、トランジスタ M 1、M 2、M 3 に関する回路部分を例に説明する。

トランジスタ M 1、M 2、M 3 の各ドレインまたは各ソースとバッテリーに繋がる電源線との間には、それぞれリレーコイル (負荷) が接続されている。トランジスタ M 1、M 2、M 3 および負荷に異常がなく、且つ定格電流容量以内で使用されている限り、トランジスタ M 1、M 2、M 3 の温度は、当該トランジスタについて許容される動作保証温度を超えることはない。これに対して、負荷が短絡するなどして過大な電流が流れるとトランジスタ温度は急激に上昇し、短時間で動作保証温度を超えてしまう。

#### 【0029】

図 3 は、トランジスタ M 2 に過大な電流が流れた場合におけるダイオード D 1 a ~ D 3 b の順方向電圧の変化および各信号波形を示している。ここで、電圧 V 1 a、V 1 b、V 2 a、V 2 b、V 3 a、V 3 b は、それぞれ D 1 a、D 1 b、D 2 a、D 2 b、D 3 a、D 3 b の順方向電圧であり、信号 S 1 a、S 1 b、S 2 a、S 2 b、S 3 a、S 3 b は、それぞれコンパレータ C 1 a、C 1 b、C 2 a、C 2 b、C 3 a、C 3 b の出力信号である。

## 【0030】

基準電圧発生回路 2 が出力する基準電圧  $V_r$  は、上記動作保証温度（またはさらにマージンを考慮した温度）におけるダイオード  $D_{1a} \sim D_{3b}$  の出力電圧に等しく設定されている。また、温度変化による基準電圧  $V_r$  の電圧変動は非常に小さくなっている。図 3 に示す基準電圧  $V_{r1}$ 、 $V_{r2}$  は、コンパレータ  $C_{1a} \sim C_{3b}$  のオフセット電圧のばらつきまで考慮した場合の各コンパレータ  $C_{1a} \sim C_{3b}$  の実質的な基準電圧（しきい値電圧）であり、上記基準電圧  $V_r$  に対し僅かにずれる場合が生ずる。

## 【0031】

ここでは、コンパレータ  $C_{2a}$ （電圧  $V_{2a}$ ）にとっての実質的な基準電圧を  $V_{r1}$  とし、それ以外のコンパレータ  $C_{1a}$ 、 $C_{1b}$ 、 $C_{2b}$ 、 $C_{3a}$ 、 $C_{3b}$ （電圧  $V_{1a}$ 、 $V_{1b}$ 、 $V_{2b}$ 、 $V_{3a}$ 、 $V_{3b}$ ）にとっての実質的な基準電圧を  $V_{r2}$  と仮定している。過電流が流れていない正常状態においては、電圧  $V_{1a} \sim V_{3b}$  は全て基準電圧  $V_r$ （ $V_{r1}$ 、 $V_{r2}$ ）よりも高くなっている。

## 【0032】

さて、トランジスタ  $M_2$  に過大な電流が流れると、それよりも僅かに遅れた時刻  $t_1$  において、トランジスタ  $M_2$  の熱がダイオード  $D_{2a}$ 、 $D_{2b}$  にほぼ同時に伝搬され、ダイオード  $D_{2a}$ 、 $D_{2b}$  の電圧  $V_{2a}$ 、 $V_{2b}$  は互いにほぼ同じ値を保ちながら低下する。これに対し、トランジスタ  $M_2$  との距離（ $=L_2$ ）がやや大きいダイオード  $D_{1b}$ 、 $D_{3a}$  への熱の伝搬は（ $t_2 - t_1$ ）だけ遅れ、さらに距離（ $=L_3$ ）が大きいダイオード  $D_{1a}$ 、 $D_{3b}$  への熱の伝搬は（ $t_3 - t_1$ ）だけ遅れる。

## 【0033】

その後、ダイオード  $D_{2b}$  の電圧  $V_{2b}$  が基準電圧  $V_{r2}$  にまで低下すると、信号  $S_{2b}$  が H レベルとなる（時刻  $t_4$ ）。この時点では、ダイオード  $D_{2a}$  の電圧  $V_{2a}$  に係る比較結果である信号  $S_{2a}$  が L レベルであるため、過熱検出信号  $Q_2$  は L レベルを保持する。そして、ダイオード  $D_{2a}$  の電圧  $V_{2a}$  が基準電圧  $V_{r1}$  にまで低下すると、信号  $S_{2a}$  が H レベルとなる（時刻  $t_6$ ）。その結果、信号  $S_{2a}$  と  $S_{2b}$  がともに H レベルとり、過熱検出信号  $Q_2$  が L レベル（

非過熱状態) から H レベル (過熱状態) になる。

#### 【0034】

過熱検出信号 Q2 が H レベルになると、ドライブ回路 K2 はトランジスタ M2 をオフに駆動するため、トランジスタ M2 の電流が遮断されて温度上昇が抑えられる。そして、ダイオード D2a の電圧 V2a が基準電圧 Vr1 よりも高い状態に戻ると、信号 S2a が再び L レベルとなってトランジスタ M2 がオン駆動される。本実施形態では、ヒステリシス制御を行っていないため、電圧 V2a が基準電圧 Vr1 を超えないように過熱検出信号 Q2 は H レベルと L レベルとを頻繁に繰り返し、それとともにトランジスタ M2 もオンとオフとを繰り返す。これにより、トランジスタ M2 の温度は、動作保証温度以下に制限され、過熱による故障を未然に防止することができる。

#### 【0035】

これに対し、正常な電流が流れているトランジスタ M1、M3 の過熱検出信号 Q1、Q3 は、L レベルを保持し続ける。これをトランジスタ M1 について説明する。トランジスタ M1 に近接して配置されたダイオード D1a は、トランジスタ M2 との距離 (= L3) が大きいので、その電圧 V1a は、トランジスタ M2 の通電が制限され始める時刻 t6 において基準電圧 Vr2 よりも十分に高い。このため、信号 S1a が H レベルになることはない。

#### 【0036】

一方、トランジスタ M1 に近接して配置されたダイオード D1b は、トランジスタ M2 側に配置されているため、トランジスタ M2 との距離 (= L2) が小さく、その電圧 V1b は、トランジスタ M2 の通電が制限され始める時刻 t6 より前の時刻 t5 において基準電圧 Vr2 にまで低下する。このため、信号 S1b は、時刻 t5 以降過熱状態の検出を示す H レベルとなる。

#### 【0037】

しかし、過熱検出信号 Q1 は、2つのダイオード D1a、D1b の電圧 V1a、V1b に係る信号 S1a、S1b がともに H レベルとなった条件の下でのみ H レベル (過熱状態) となる。このため、たとえ電圧 V1b の比較基準である基準電圧 Vr2 が電圧 V2a の比較基準である基準電圧 Vr1 よりも高い (その分早

い時点で過熱が検出される) という悪条件が重なったとしても、過熱検出信号  $Q_1$  が H レベルになることはない。これは、トランジスタ  $M_3$  についても同様である。さらに、ダイオード  $D_{1a} \sim D_{3b}$  の順方向電圧  $V_{1a} \sim V_{3b}$  にばらつきが存在する場合であっても同様の動作となる。

#### 【0038】

以上説明したように、本実施形態の IC は、そのチップ上に列状に形成された各トランジスタ  $M_n$  ( $n=1, 2, 3, \dots$ ) に対して、当該トランジスタ  $M_n$  の有する辺のうち対抗する一対の辺 (上記列に直交する 2 辺) に隣接してそれぞれダイオード  $D_{na}$ 、 $D_{nb}$  が配置されている。そして、過熱検出回路  $H_n$  は、ダイオード  $D_{na}$  に係る信号  $S_{na}$  とダイオード  $D_{nb}$  に係る信号  $S_{nb}$  とがともに H レベルとなった場合に過熱検出信号  $S_n$  を H レベル (過熱状態) とする。

#### 【0039】

この構成によれば、あるトランジスタ  $M_n$  が過熱した場合、その熱は自らの辺部に近接して配置されたダイオード  $D_{na}$ 、 $D_{nb}$  に短時間で伝搬され、過熱検出信号  $S_n$  が H レベル (過熱状態) となる。特に、本実施形態では、各トランジスタ  $M_n$  がそれぞれ 2 つずつの専用のダイオード  $D_{na}$ 、 $D_{nb}$  を有しているため、これらダイオード  $D_{na}$ 、 $D_{nb}$  をトランジスタ  $M_n$  に極力近接して配置することができる。従って、負荷の短絡などによりトランジスタ  $M_n$  に過大な電流が流れてから、ドライブ回路  $K_n$  を介してトランジスタ  $M_n$  の駆動が制限されるまでの時間を短縮することができ、トランジスタ  $M_n$  が確実に保護され、その実質的な破壊耐量を高めることができる。

#### 【0040】

一方、隣接するトランジスタ  $M_{(n+1)}$  が過熱した場合には、その熱は、トランジスタ  $M_n$  と  $M_{(n+1)}$  との間に配置されたダイオード  $D_{nb}$  へは比較的短時間で伝搬されるが、トランジスタ  $M_n$  と  $M_{(n-1)}$  との間に配置されたダイオード  $D_{na}$  へは距離が長いため伝搬が遅れる。このため、コンパレータ  $C_{na}$ 、 $C_{nb}$  のオフセット電圧やダイオード  $D_{na}$ 、 $D_{nb}$  の順方向電圧等にばらつきがあったとしても、信号  $S_{na}$ 、 $S_{nb}$  がともに H レベルになる前には過熱検出信号  $S_{(n+1)}$  が H レベル (過熱状態) となり、トランジスタ  $M_{(n+1)}$  の駆動が制限される

。従って、過熱していないトランジスタ $M_n$ が誤って過熱状態と判定されることがなくなり、トランジスタ $M_n$ それぞれについて正確な過熱検出を行うことができる。

#### 【0041】

本実施形態では、図2(a)に示すようにトランジスタ同士の距離を小さくしても、 $L_1 < L_2 < L_3$  (図1参照)の関係が成立するため、トランジスタ $M_n$ と専用のダイオード $D_{na}$ 、 $D_{nb}$ との距離を極力小さくできるとともに、ダイオード $D_{na}$ 、 $D_{nb}$ のうち少なくとも一方のダイオードと隣接するトランジスタ $M_{(n-1)}$ 、 $M_{(n+1)}$ との距離を大きくとることができる。このため、正確な過熱検出を行いつつも、図2(b)に示す従来構成に対しチップ面積を大幅に(本実施形態の場合には約2/3に)低減することができる。

#### 【0042】

##### (第2の実施形態)

次に、本発明の第2の実施形態について図4および図5を参照しながら説明する。

図4は、半導体チップの素子配置とともに出力制御回路の概略的な電氣的構成を示すもので、図1と同一構成部分には同一符号を付して示している。チップ全体の構成としては、図2と同様に多数のトランジスタ $M_1$ 、 $M_2$ 、 $M_3$ 、…が隣接して列状に配置されている。

#### 【0043】

図4において、隣接するトランジスタ $M_n$ と $M_{(n+1)}$  ( $n=1, 2, 3, \dots$ ) は、過熱検出素子である1つのダイオード $D_n$  ( $n=1, 2, 3, \dots$ ) を共用している。すなわち、トランジスタ $M_1$ と $M_2$ との間の中央位置、トランジスタ $M_2$ と $M_3$ との間の中央位置、トランジスタ $M_3$ と $M_4$  (図示せず) との間の中央位置には、それぞれ温度検出用のダイオード $D_2$ 、 $D_3$ 、 $D_4$ が配置されている。ただし、トランジスタ列の端部に配置されるトランジスタ $M_1$ については、トランジスタ $M_2$ とは反対側の辺に隣接して専用のダイオード $D_1$ が配置されている。トランジスタ $M_2$ とダイオード $D_1$ 、 $D_2$ 、 $D_3$ 、 $D_4$ との距離をそれぞれ $L_1$ 、 $L_2$ 、 $L_3$ 、 $L_4$ とした場合、図4からも明らかなように $L_2 = L_3 < L$

1 = L 4 の関係がある。

#### 【0044】

出力制御回路Uは、トランジスタM1、M2、M3に係る回路をまとめて構成したもので、過熱状態を検出する過熱検出回路Hとドライブ回路K1、K2、K3とから構成されている。過熱検出回路Hは、コンパレータC1、C2、C3、C4とANDゲートG1、G2、G3と基準電圧発生回路2とから構成されている。コンパレータC1、C2、C3、C4は、それぞれダイオードD1、D2、D3、D4の順方向電圧V1、V2、V3、V4と基準電圧V<sub>r</sub>とを比較するようになっている。出力制御回路Uと上記ダイオードD1、D2、D3、D4、…とにより過熱検出回路4（過熱検出装置に相当）が構成されている。

#### 【0045】

また、ANDゲートG1は、コンパレータC1、C2の各出力信号S1、S2の論理積信号である過熱検出信号Q1を出力し、ANDゲートG2は、コンパレータC2、C3の各出力信号S2、S3の論理積信号である過熱検出信号Q2を出力し、ANDゲートG3は、コンパレータC3、C4の各出力信号S3、S4の論理積信号である過熱検出信号Q3を出力するようになっている。

#### 【0046】

次に、本実施形態の作用について図5も参照しながら説明する。

図5は、トランジスタM2に過大な電流が流れた場合におけるダイオードD1～D4の電圧V1～V4の変化および各信号波形を示している。基準電圧V<sub>r1</sub>、V<sub>r2</sub>は、コンパレータC1～C4のオフセット電圧のばらつきまで考慮した場合の各コンパレータC1～C4の実質的な基準電圧である。ここでは、コンパレータC2（電圧V2）の実質的な基準電圧をV<sub>r1</sub>とし、それ以外のコンパレータC1、C3、C4（電圧V1、V3、V4）の実質的な基準電圧をV<sub>r2</sub>と仮定している。

#### 【0047】

負荷の短絡等によりトランジスタM2に過大な電流が流れると、それよりも僅かに遅れた時刻t<sub>11</sub>において、トランジスタM2の熱がダイオードD2、D3に伝搬され、ダイオードD2、D3の電圧V2、V3は互いにほぼ同じ値を保ち



ながら低下する。これに対し、トランジスタM2との距離がやや大きいダイオードD1、D4への熱の伝搬は( $t_{12} - t_{11}$ )だけ遅れる。

#### 【0048】

その後、ダイオードD3の電圧V3が基準電圧V<sub>r2</sub>にまで低下すると、信号S3がHレベルとなる(時刻 $t_{13}$ )。この時点では、ダイオードD2の電圧V2に係る比較結果である信号S2がLレベルであるため、過熱検出信号Q2はLレベルを保持する。そして、ダイオードD2の電圧V2が基準電圧V<sub>r1</sub>にまで低下すると、信号S2がHレベルとなる(時刻 $t_{14}$ )。その結果、信号S2とS3がともにHレベルとり、過熱検出信号Q2がLレベル(非過熱状態)からHレベル(過熱状態)に変化する。

#### 【0049】

過熱検出信号Q2がHレベルになると、ドライブ回路K2によりトランジスタM2に流れる電流が遮断される。ヒステリシス制御を行っていない本システムでは、電圧V2が基準電圧V<sub>r1</sub>を超えないように過熱検出信号Q2はHレベルとLレベルとを頻繁に繰り返し、それとともにトランジスタM2もオンとオフとを繰り返す。これにより、トランジスタM2の温度は、動作保証温度以下に制限される。

#### 【0050】

これに対し、正常な電流が流れているトランジスタM1、M3の過熱検出信号Q1、Q3は、Lレベルを保持し続ける。これをトランジスタM1について説明する。トランジスタM1に近接して配置されたダイオードD1は、トランジスタM2との距離(=L1)が大きいため、その電圧V1は、トランジスタM2の通電が制限され始める時刻 $t_{14}$ において基準電圧V<sub>r2</sub>よりも十分に高い。このため、信号S1がHレベルとなることはない。一方、トランジスタM1の過熱検出に用いられるもう一つのダイオードD2は、トランジスタM2との共用であるため、上述したように信号S2はHレベルとLレベルとを頻繁に繰り返す。

#### 【0051】

しかし、過熱検出信号Q1は、2つのダイオードD1、D2の電圧V1、V2に係る信号S1、S2がともにHレベルとなった条件の下でのみHレベル(過熱

状態)となる。このため、たとえ電圧 $V_1$ の比較基準である基準電圧 $V_{r2}$ が電圧 $V_2$ の比較基準である基準電圧 $V_{r1}$ よりも高い(その分早い時点で過熱が検出される)という悪条件が重なったとしても、過熱検出信号 $Q_1$ がHレベルになることはない。これは、トランジスタ $M_3$ についても同様である。

#### 【0052】

以上説明したように、本実施形態では、ICチップ上に隣接して配置されたトランジスタ $M_n$ と $M_{(n+1)}$  ( $n=1, 2, 3, \dots$ )との間に、過熱状態の検出に共通に用いる1つのダイオード $D_n$ が配置されているので、第1の実施形態に比べ、ダイオードの数をほぼ半分に減らすことができるとともに、当該ダイオード $D_n$ と出力制御回路 $U$ との配線数も低減することができる。また、ダイオード $D_n$ は、トランジスタ $M_n$ と $M_{(n+1)}$ との中央位置に配置されているため、何れのトランジスタが発する熱も極力小さい遅延時間の下でバランス良く検出することができる。

#### 【0053】

本実施形態によっても、第1の実施形態と同様に、隣接するトランジスタ $M_{(n-1)}$ 、 $M_{(n+1)}$ の過熱による影響を受けることなく、トランジスタ $M_n$ について正確な過熱検出を行うことができ、トランジスタ $M_n$ を確実に保護することができる。また、従来構成に対しチップ面積を大幅に低減することができる。

#### 【0054】

(その他の実施形態)

なお、本発明は上記し且つ図面に示す各実施形態に限定されるものではなく、例えば以下のように変形または拡張が可能である。

各実施形態においてトランジスタ $M_n$  ( $n=1, 2, 3, \dots$ )は列状に配置されていたが、本発明は配置形態により制限を受けるものではなく、例えばマトリクス状に配置されていても上述したダイオード $D_n$ の配置形態をそのまま適用できる。マトリクス状の配置の場合、トランジスタ $M_n$ が列状に配置された上記各実施形態の配置をそのまま複数列に拡張した構成とする他に、各トランジスタ $M_n$ について隣接する3つまたは4つのトランジスタとの間にそれぞれダイオードを設ける構成としてもよい。

**【0055】**

上記各実施形態では、各トランジスタ $M_n$ に近接して当該トランジスタ $M_n$ の過熱検出に用いる2つのダイオード $D_{na}$ 、 $D_{nb}$ （または $D_n$ 、 $D_{(n+1)}$ ）を配置したが、トランジスタ $M_n$ の過熱検出に用いる3つ以上のダイオードを配置してもよい。この場合、過熱検出回路 $H_n$ 、 $H$ では3つ以上の信号 $S_{na}$ 、 $S_{nb}$ 、 $S_{nc}$ （または $S_n$ ）の論理積により過熱検出信号 $Q_n$ を生成し、あるいは少なくとも2つの信号が $H$ レベルとなったことを条件として過熱検出信号 $Q_n$ を生成してもよい。

**【0056】**

コンパレータ $C_{na}$ 、 $C_{nb}$ 、 $C_n$ において、過熱状態の検出時と非検出時とで異なる基準電圧（しきい値電圧）を用いることにより、比較動作にヒステリシス特性を持たせるとよい。これにより、ノイズ等による誤った過熱検出を極力低減することができる。また、過熱検出時におけるトランジスタ $M_n$ の通断電が頻繁に切り替えられることを防止できる。

**【0057】**

過熱検出装置は、モノリシックICチップ内への適用のみならず、ディスクリート素子への適用も可能である。すなわち、ハイブリッドICに収容され複数の半導体チップが搭載された基板、複数のモールドトランジスタからなるトランジスタアレイや並列モジュールなどにも適用できる。また、通電素子は、トランジスタやダイオードなどの半導体素子に限られず、通断電される素子例えばリレー、抵抗体、リアクトル、コンデンサなどの受動素子、モータ、ソレノイド、アクチュエータなどであってもよい。

また、温度検出素子はダイオードに限られない。

**【図面の簡単な説明】**

【図1】 本発明の第1の実施形態について半導体チップの素子配置とともに出力制御回路の概略的な電氣的構成を示す図

【図2】 半導体チップの素子配置図

【図3】 トランジスタ $M_2$ に過大な電流が流れたときのダイオードの電圧変化および各信号波形を示す図

【図 4】 本発明の第 2 の実施形態を示す図 1 相当図

【図 5】 図 3 相当図

【図 6】 第 1 の従来技術を示す図 1 相当図

【図 7】 図 3 相当図

【図 8】 第 2 の従来技術を示す図 1 相当図

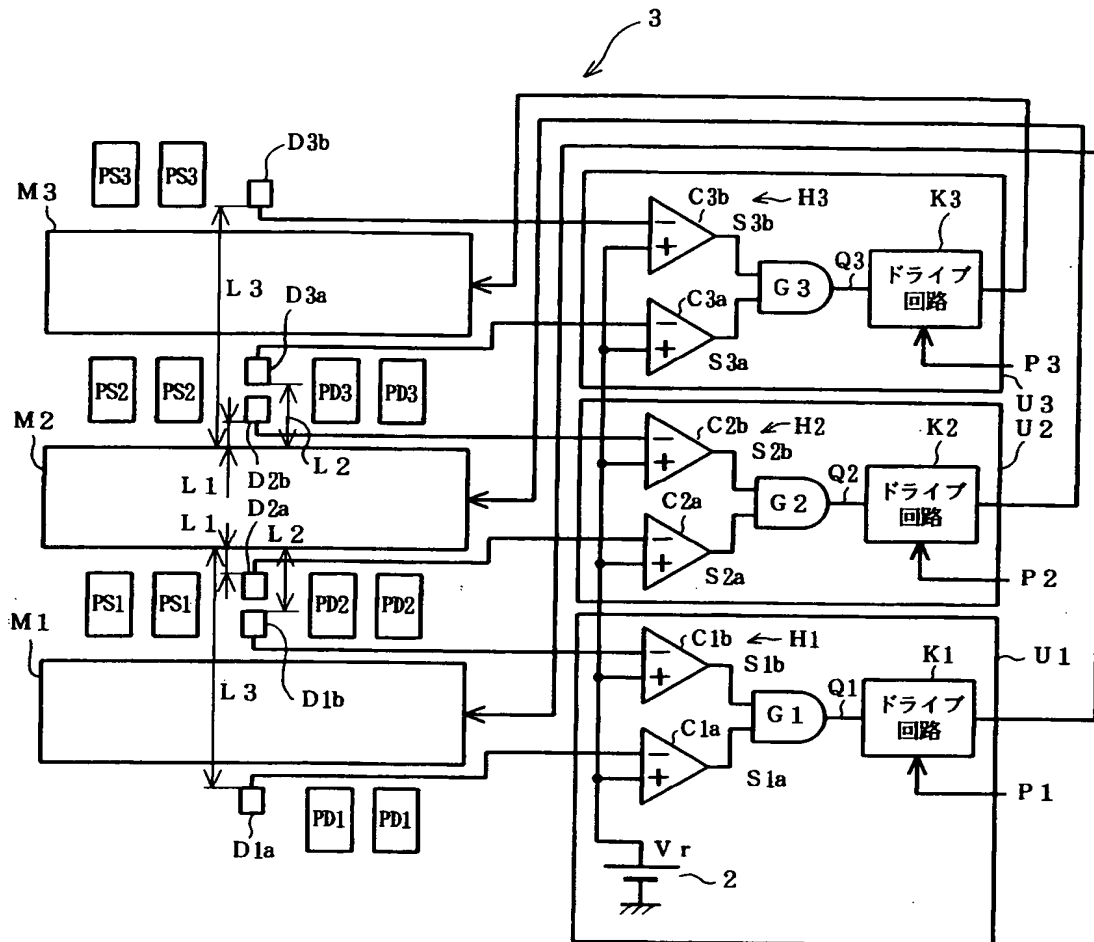
【図 9】 図 3 相当図

【符号の説明】

3、4 は過熱検出回路（過熱検出装置）、 $M_n$  ( $n = 1、2、3、\dots$ ) はパワー MOS トランジスタ（通電素子）、 $D_{na}$ 、 $D_{nb}$ 、 $D_n$  ( $n = 1、2、3、\dots$ ) はダイオード（温度検出素子）、 $H_n$  ( $n = 1、2、3、\dots$ )、 $H$  は過熱検出回路、 $K_n$  ( $n = 1、2、3、\dots$ ) はドライブ回路（過熱保護回路）である。

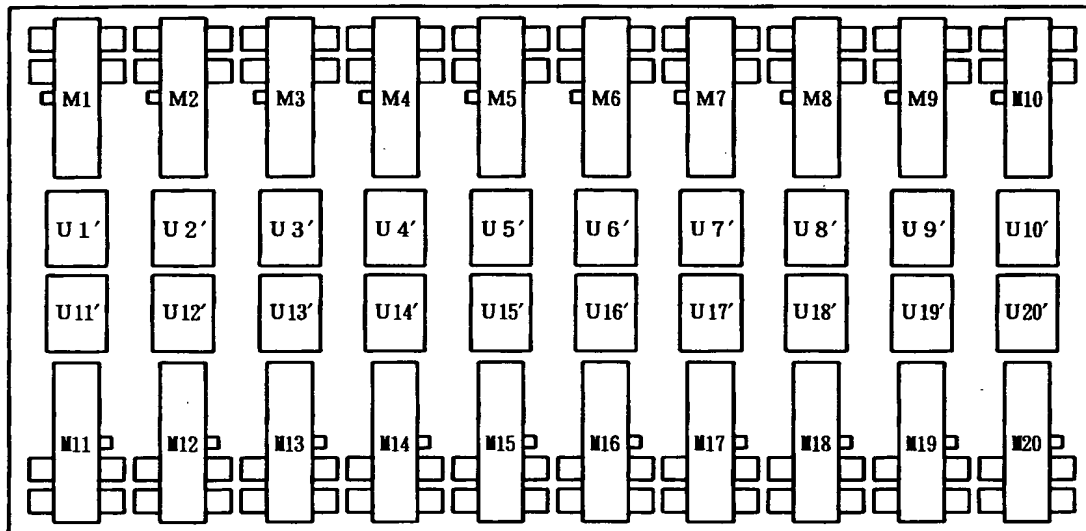
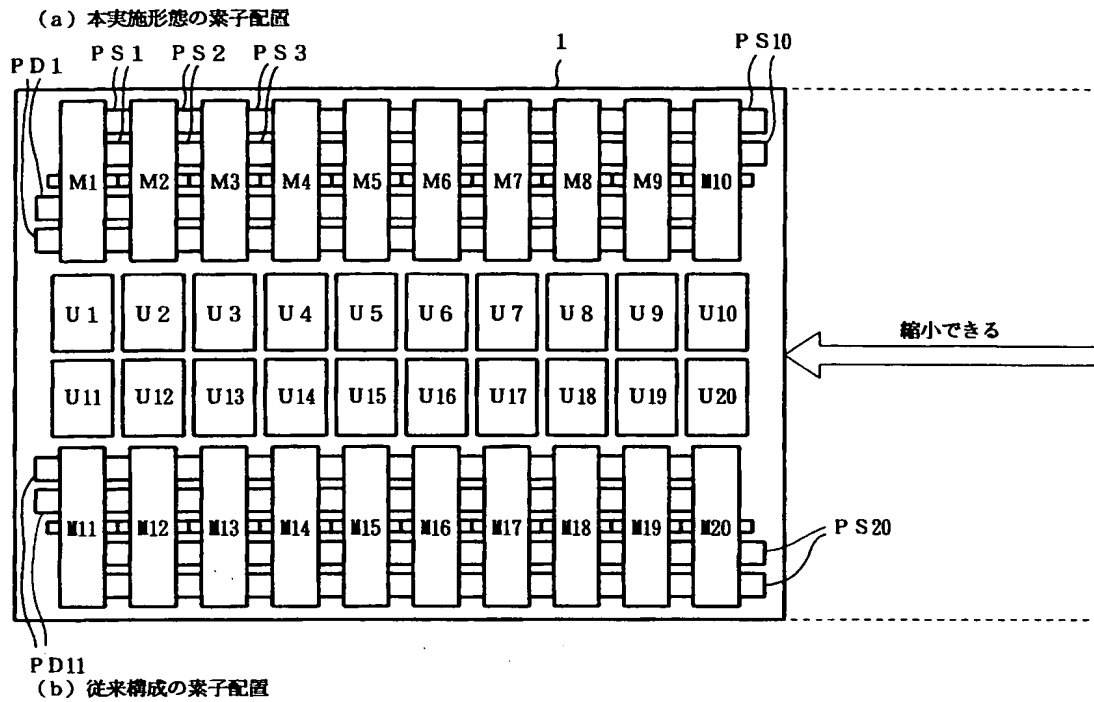
【書類名】 図面

【図1】

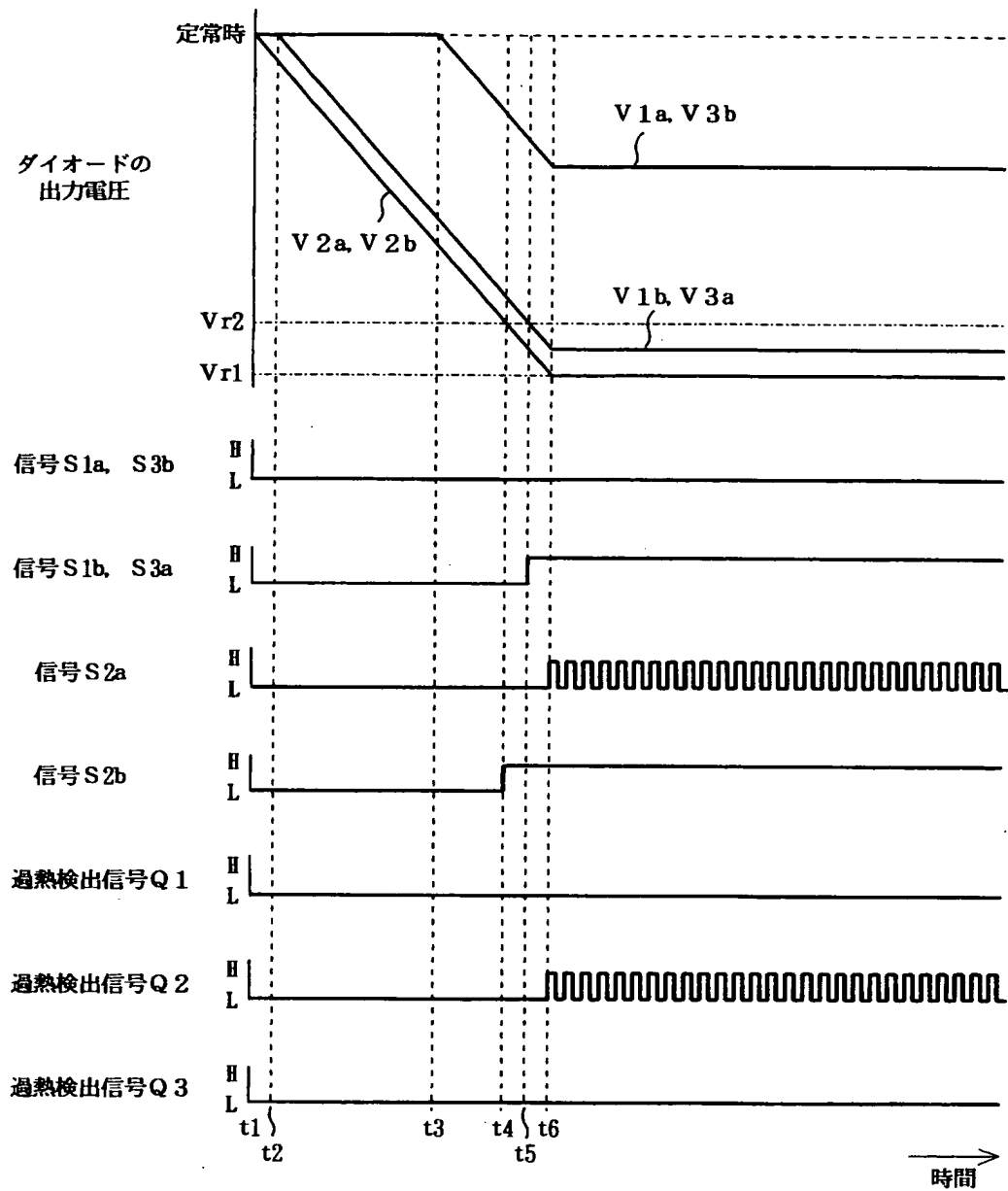


3 : 過熱検出装置  
 M1, M2, M3 : 通電素子  
 D1a, D1b, D2a, D2b, D3a, D3b : 温度検出素子  
 H1, H2, H3 : 過熱検出回路  
 K1, K2, K3 : 過熱保護回路

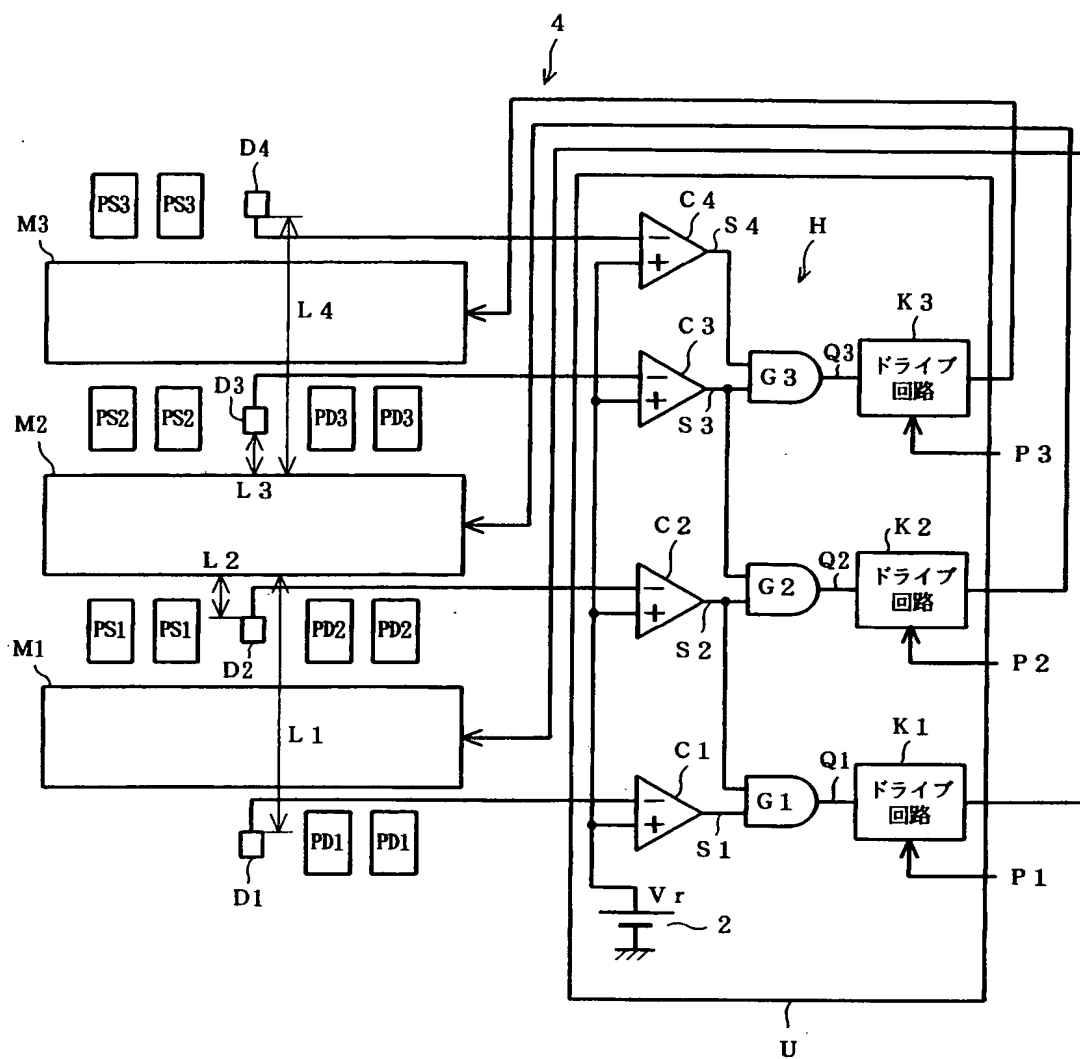
【図 2】



【図 3】



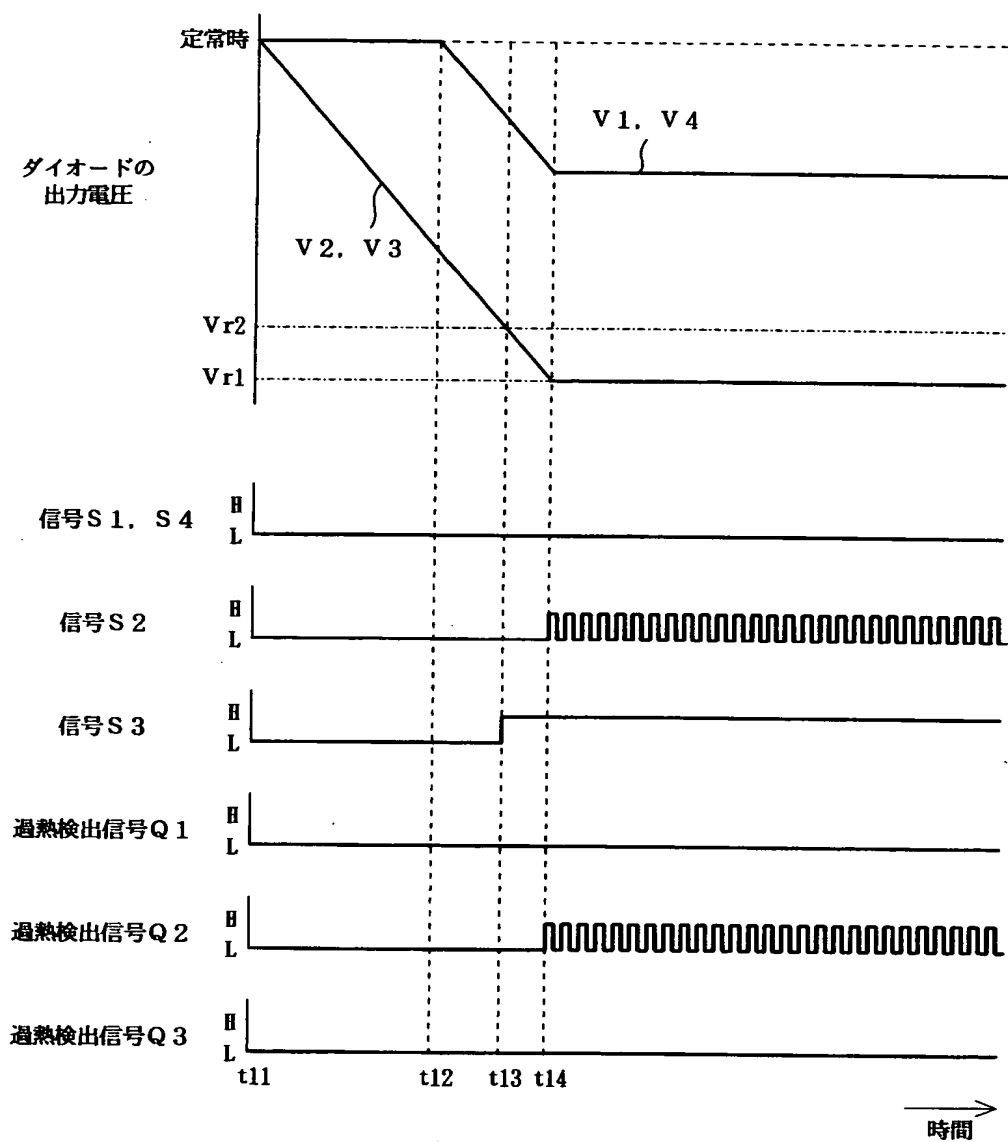
【図 4】



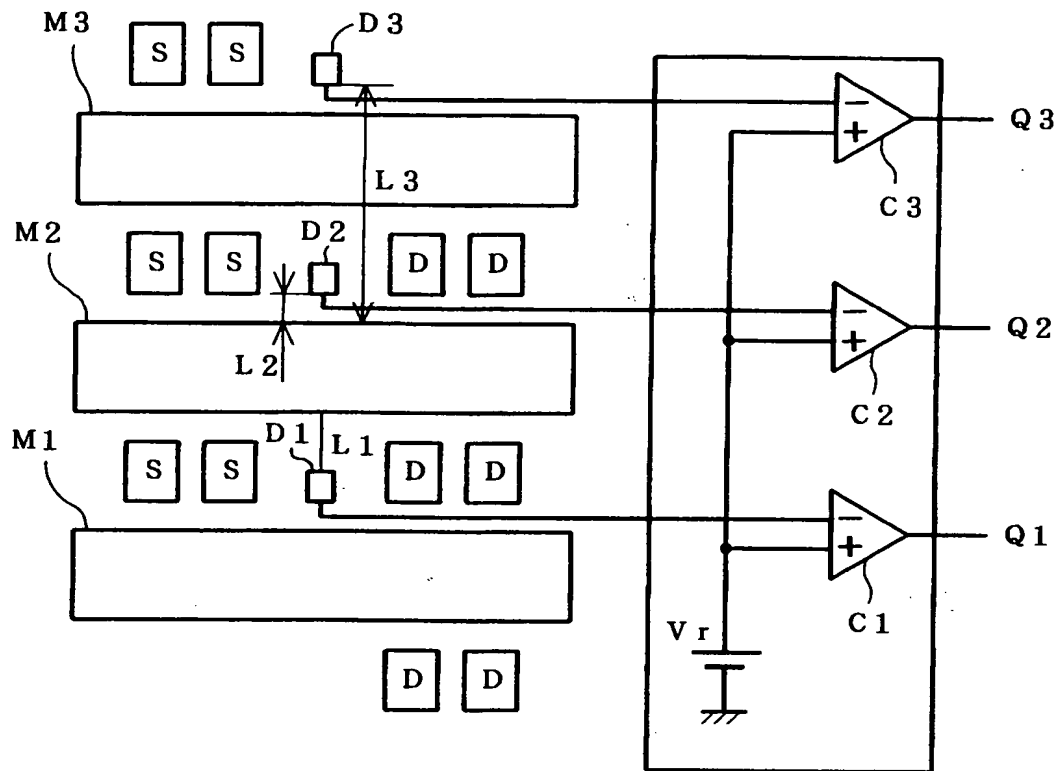
4 : 過熱検出装置  
D 1, D 2, D 3, D 4 : 過熱検出素子  
H : 過熱検出回路



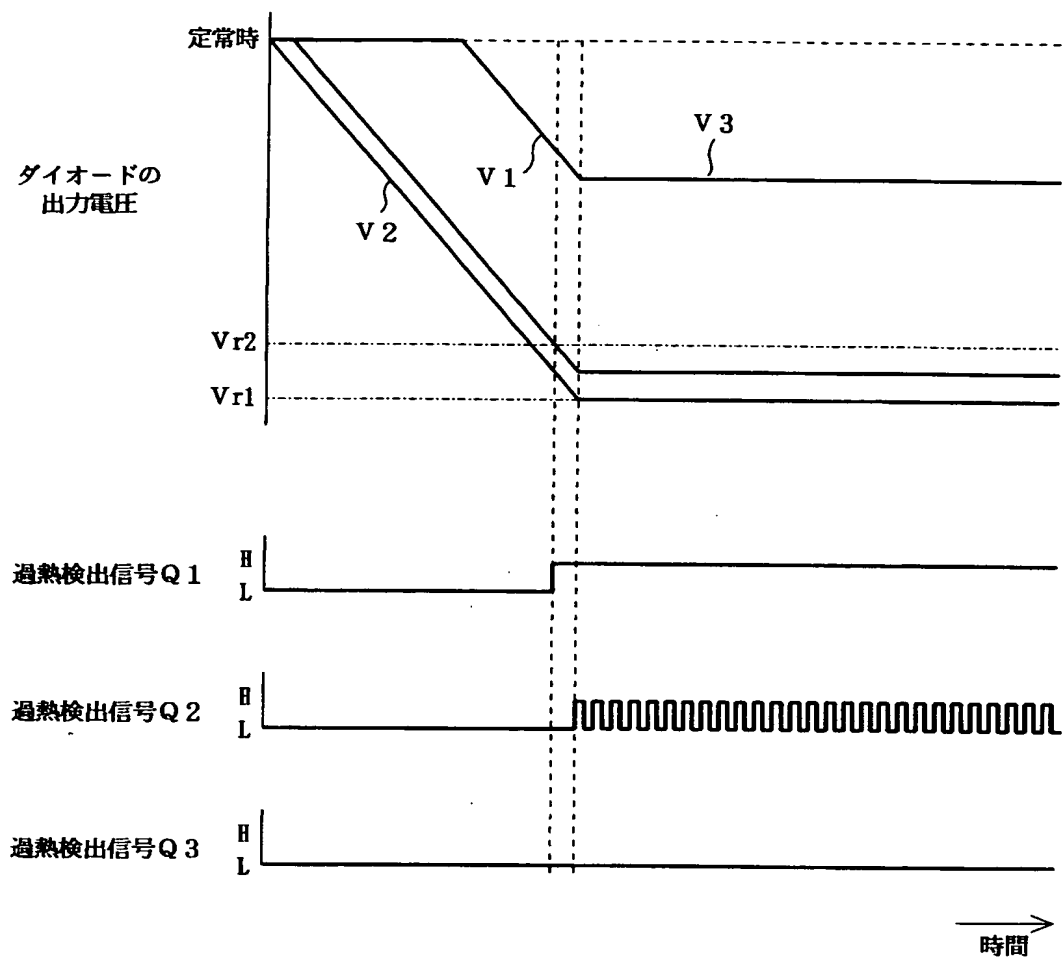
【図 5】



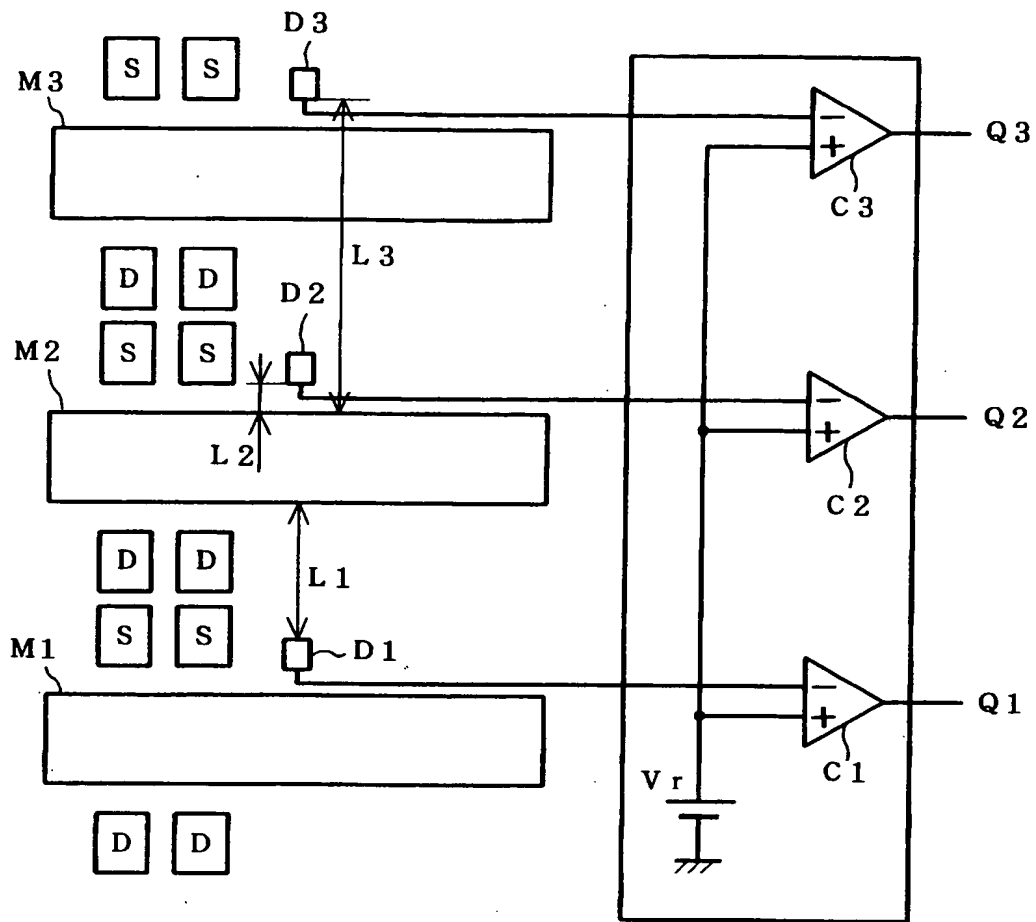
【図 6】



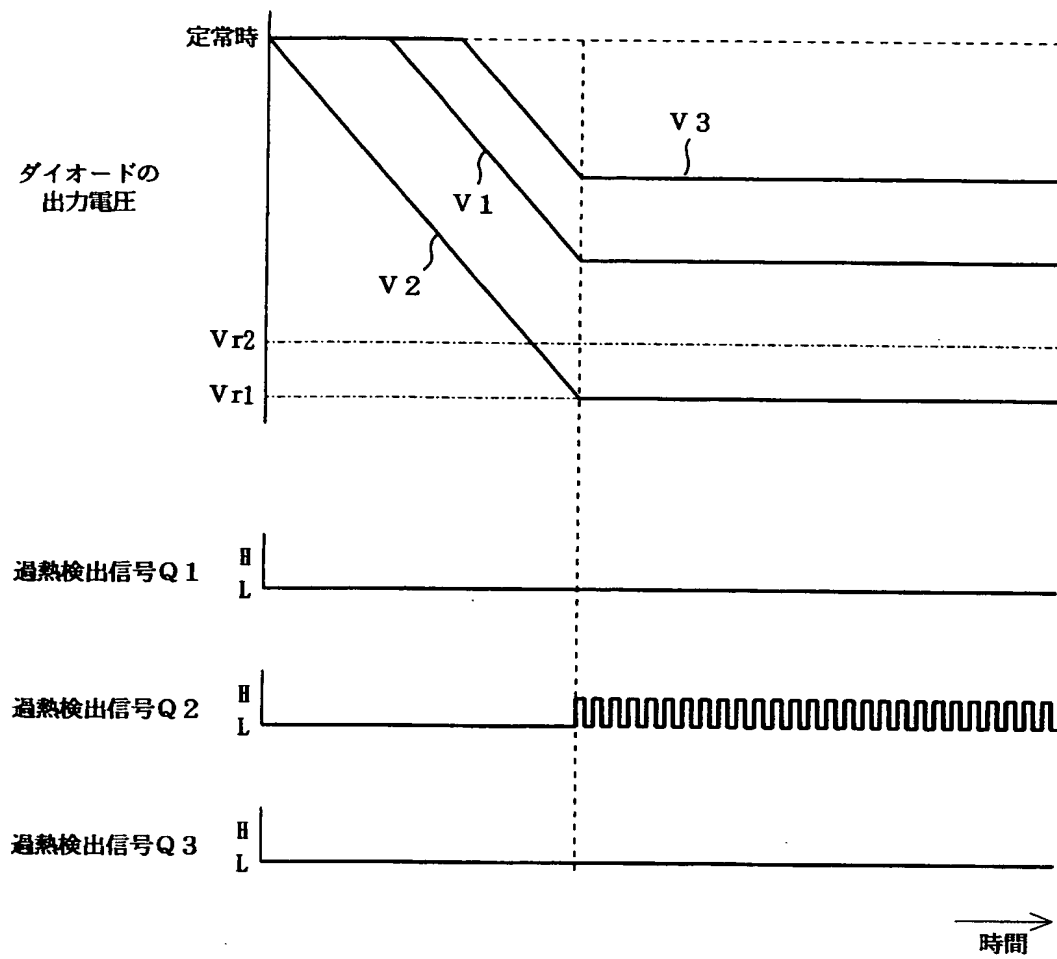
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 複数の通電素子を互いに近接して配置した状態で通電素子それぞれの過熱状態を正確に検出する。

【解決手段】 トランジスタM 2 の過熱検出に用いられるダイオードD 2 a、D 2 bは、それぞれトランジスタM 2 の辺のうちトランジスタM 1 に対する辺とトランジスタM 3 に対する辺に近接して配置される。過熱検出回路H 2 は、ダイオードD 2 a、D 2 bの出力電圧V 2 a、V 2 bがともに基準電圧V r よりも低下した場合に過熱検出信号Q 2 を出力する。トランジスタM 1、M 3 についても同様である。

【選択図】 図 1

特願 2 0 0 3 - 0 2 1 9 5 2

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 4 2 6 0 ]

1. 変更年月日

1 9 9 6 年 1 0 月 8 日

[変更理由]

名称変更

住 所

愛知県刈谷市昭和町 1 丁目 1 番地

氏 名

株式会社デンソー